

特開平11-102174

(43) 公開日 平成11年(1999) 4月13日

(51) Int.Cl.⁶ 識別記号
 G 0 9 G 3/36
 G 0 2 F 1/133 5 5 0

F I
 G 0 9 G 3/36
 G 0 2 F 1/133 5 5 0

審査請求 未請求 請求項の数 6 F D (全 13 頁)

(21) 出願番号 特願平9-279559

(22) 出願日 平成9年(1997) 9月26日

(71) 出願人 390020248

日本テキサス・インスツルメンツ株式会社
 東京都港区北青山3丁目6番12号 青山富士ビル

(72) 発明者 西村 雅人

埼玉県瑞穂ヶ谷市南3丁目18番36号 日本テキサス・インスツルメンツ株式会社内

(72) 発明者 藤巻 功

埼玉県瑞穂ヶ谷市南3丁目18番36号 日本テキサス・インスツルメンツ株式会社内

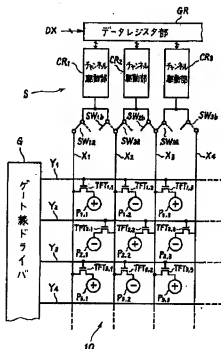
(74) 代理人 弁理士 佐々木 豊孝

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 液晶表示装置におけるドット反転駆動を少ない消費電力で実現する。

【解決手段】 第1行のゲート線Y1が活性化されるときの、奇数番目の各チャンネル駆動部CR1、CR3…からの正極性の階調電圧が各対応する列の左側信号線X1、X3…に供給され、各信号線X1、X3…から該当画素電極P1.1、P1.3…に書き込まれるとともに、偶数番目の各チャンネル駆動部CR2、CR4…からの負極性の階調電圧が各対応する列の左側信号線X2、X4…に供給され、各信号線X2、X4…から該当画素電極P1.2、P1.4…に書き込まれる。次に、第2行のゲート線Y2が活性化されるときの、奇数番目の各チャンネル駆動部CR1、CR3…からの負極性の階調電圧が各対応する列の右側信号線X2、X4…に供給され、各信号線X2、X4…から該当画素電極P2.1、P2.3…に書き込まれるとともに、偶数番目の各チャンネル駆動部CR2、CR4…からの正極性の階調電圧が各対応する列の右側信号線X3、X5…に供給され、各信号線X3、X5…から該当画素電極P2.2、P2.4…に書き込まれる。



【特許請求の範囲】

【請求項1】 マトリクス状に配置された複数の画素電極と1つの対向電極との間に液晶が充填され、各列において奇数番目の画素電極はそれと対応する薄膜トランジスタを介して第1の信号線に電気的に接続されるとともに偶数番目の画素電極はそれと対応する薄膜トランジスタを介して第2の信号線に電気的に接続され、各行において全ての前記薄膜トランジスタの制御端子が共通のゲート線に電気的に接続されている液晶パネルと、

前記対向電極に一定の対向電極電圧を印加する手段と、前記ゲート線を線順次走査で各行毎に活性化するゲート線駆動手段と、

各フレーム走査において奇数行の前記ゲート線が活性化されるときは各列の該当する画素電極に対して所望の表示階調に対応した電圧レベルを有し、かつ前記対向電極電圧に対して相対的に一方の極性を有する階調電圧を前記第1の信号線を介して印加し、偶数行の前記ゲート線が活性化されるときは各列の該当する画素電極に対して所望の表示階調に対応した電圧レベルを有し、かつ前記対向電極電圧に対して相対的に他方の極性を有する階調電圧を前記第2の信号線を介して印加する信号線駆動手段と、

前記信号線駆動手段より前記第1および第2の信号線に出力される階調電圧の極性をフレーム毎に交互に反転させる極性切換手段とを有する液晶表示装置。

【請求項2】 隣接する2つの列の画素電極において一方の列に対する前記第1の信号線と他方の列に対する前記第2の信号線が共用される請求項1に記載の液晶表示装置。

【請求項3】 相隣接する各一对の列の画素電極に対して専用の前記第1および第2の信号線が設けられる請求項1に記載の液晶表示装置。

【請求項4】 前記信号線駆動手段は各列の画素電極に対応するチャンネル駆動部を有し、各列のチャンネル駆動部は1水平走査期間毎に正極性の階調電圧と負極性の階調電圧を出力し、かつ1水平走査期間毎に前記第1の信号線と前記第2の信号線とに交互に切り換えて接続される請求項1に記載の液晶表示装置。

【請求項5】 前記信号線駆動手段は各信号線に1対1の關係で接続されるチャンネル駆動部を有し、各チャンネル駆動部は各行の前記ゲート線が活性化される度に正極性の階調電圧を出力する第1の出力モードと各行の前記ゲート線が活性化される度に負極性の階調電圧を出力する第2の出力モードとを1フレーム毎に交互に切り換える請求項1に記載の液晶表示装置。

【請求項6】 マトリクス状に配置された複数の画素電極と1つの対向電極との間に液晶が充填され、各列において奇数番目の画素電極はそれと対応する薄膜トランジスタを介して第1の信号線に電気的に接続されるとともに偶数番目の画素電極はそれと対応する薄膜トランジスタ

を介して第2の信号線に電気的に接続され、各行において全ての前記薄膜トランジスタの制御端子が共通のゲート線に電気的に接続されている液晶パネル。

【発明の詳細な説明】

【0010】

【発明の属する技術分野】本発明は、多階調表示を行う薄膜トランジスタ（TFT）型の液晶ディスプレイ（TFT-LCD）に関する。

【0020】

【従来の技術】図11に、アクティブマトリクス方式のフルカラーTFT-LCDの構成を模式的に示す。従来のTFT-LCDは、複数本のゲート線Y1、Y2、…と複数本の信号線X1、X2、…とをマトリクス状に交差配置し、各交差点の画素に薄膜トランジスタTFTを配置してなるTFT液晶パネル100を有している。そして、この液晶パネル100の周辺回路として、ゲート線Y1、Y2、…を駆動するための並列接続されたゲート線ドライバG1、G2、…と、液晶パネル100の信号線X1、X2、…を駆動するための並列接続された信号線（ソース）ドライバS1、S2、…と、各部の動作を制御するコントローラ102と、表示すべき画像信号に対して所要の信号処理を行う画像信号処理回路104と、フルカラー（多階調表示）を実現するための多階調の電圧を発生する階調電圧発生回路106とを備えている。

【0030】画像信号処理回路104は、各画素の表示の階調を表すデジタルの画像データD_Xを各信号線ドライバS1、S2、…に供給する。たとえば64階調の場合は、R、G、Bの各画素につき6ビットの画像データD_Xが画像信号処理回路104より各信号線ドライバS1、S2、…に与えられる。コントローラ102は、水平同期信号HSおよび垂直同期信号VSに同期した種々の制御信号またはタイミング信号を各ゲート線ドライバG1、G2、…および各信号線ドライバS1、S2、…に供給する。階調電圧発生回路106は、液晶パネル100のV_{DD}（電圧）—T（透過率）特性に基づいて表示の多階調に対応した電圧レベルをそれぞれ有する多段階の階調電圧を各信号線ドライバS1、S2、…に供給する。

【0040】図12に、液晶パネル100の内部の構成（1画素分）を示す。2枚のガラス基板110、112の間に液晶114が封入または充填されている。一方のガラス基板110の内側面において、各ゲート線Y_i（図示せず）と各信号線X_j（図示せず）との交差点位置付近に透明導電膜からなる1個の画素電極P_{i,j}と1個の薄膜トランジスタTFT_{i,j}が形成されており、画素電極P_{i,j}はTFT_{i,j}を介して信号線X_jに接続され、TFT_{i,j}のゲート電極T_gはゲート線Y_iに接続されている。他方のガラス基板112の内側面にはR（赤）、G（緑）、B（青）のカラーフィルタ115を介して透明導電膜からなる対向（共通）電極116が一面に形成されている。両ガラス基板110、112の外

側面にはそれぞれの偏向軸を互いに平行または直交させるようにして偏向板118, 120が設けられている。

【0050】なお、図12において、 T_e はソース電極、 T_d はドレイン電極、124は半導体層、126は保護膜、128はゲート絶縁膜、130はブラックマトリクスである。

【0060】図13に、液晶パネル100内の回路構成を示す。各面素電極 $P_{i,j}$ と対向電極116と両者の間に挟まれた液晶114によって1面素分の信号蓄積容量 C_s が構成される。各列においては、全ての面素電極 $P_{1,j}, P_{2,j}, \dots$ が、それぞれ対応する薄膜トランジスタ $TFT_{1,j}, TFT_{2,j}, \dots$ を介して各列の信号線 X_j に電気的に共通接続されている。各行においては、その行の全ての薄膜トランジスタ $TFT_{1,i}, TFT_{2,i}, \dots$ の制御端子が共通のゲート線 Y_i に電気的に接続されている。

【0070】ゲート線 Y_1, Y_2, \dots は、ゲート線ドライバ G_1, G_2, \dots により1フレーム期間(1V)内に通常は線順次走査で1行ずつ選択されてアクティブ状態に駆動される。

【0080】いま、 i 行のゲート線 Y_i が駆動されると、このゲート線 Y_i に接続されている i 行の全ての薄膜トランジスタ $TFT_{1,i}, TFT_{2,i}, \dots$ がオンする。これと同期して、信号線ドライバ S_1, S_2, \dots より i 行上の全ての面素に対するアナログの階調電圧がそれぞれ出力され、これらの階調電圧は信号線 X_1, X_2, \dots およびオン状態の薄膜トランジスタ $TFT_{1,i}, TFT_{2,i}, \dots$ を介してそれぞれ対応する面素電極 $P_{i,1}, P_{i,2}, \dots$ に印加される。この後、次の $(i+1)$ 行において、ゲート線 Y_{i+1} が選択され、上記と同様の動作が行われる。 i 行においては、薄膜トランジスタ $TFT_{1,i}, TFT_{2,i}, \dots$ がオフ状態になることで、各面素に書き込まれた電荷は逃げ道を失い、各電極 $P_{i,1}, P_{i,2}, \dots$ の階調電圧は次の選択時まで保持される。

【0090】このようにして、各面素電極には1フレーム周期で階調電圧が印加されるのであるが、液晶ディスプレイでは液晶分子の劣化防止のため、液晶に電圧が交流の形態で印加されなくてはならない。 $TFT-LCD$ において、液晶に交流電圧を印加する方法にコモン一定駆動法がある。

【0100】コモン一定駆動法は、図14に示すように、対向電極の電圧を一定レベルに固定したまま面素電極に対向電極電圧(一定値)に対して正の極性を有する電圧と負の極性を有する電圧を交互に印加する。この駆動法は、 X, Y 両方向におけるドット反転(完全ドット反転)が可能であり、表示品質に優れている。

【0110】図15に、完全ドット反転のパターンを示す。図示のように、フレーム F が切り替わる度毎に($F, F+1$)、液晶パネル100内の各面素に書き込まれる階調電圧の極性が交互に反転する。そして、 Y 方向

で1ライン毎に各面素の極性が反転するとともに、 X 方向でも1面素毎に極性が反転する。

【0120】コモン一定駆動法では、任意の時点において対向電極電圧からみて正極性および負極性の階調電圧を同時に選択することができるため、図15に示すように、液晶パネル100内の全面素についてフレーム周期および Y 方向だけでなく、 X 方向でも1面素毎に極性を交互に反転させることが可能である。このように、隣合う信号線ないし面素電極で階調電圧の極性が反転することで、書き込み時に対向電極等で流れる電流が隣同士で打ち消し合い、これによって表示品質の低下が抑えられる。

【0130】

【発明が解決しようとする課題】上記のような完全ドット反転を実現するため、従来の $TFT-LCD$ では、各信号線 X_j を信号線ドライバ S_j によって1ライン(1水平走査期間)毎に正極性の電圧および負極性の電圧で交互に駆動するようにしている。

【0140】たとえば、図15の(A)のフレーム F_n において第1列の信号線 X_1 に着目すると、第1行のゲート線 Y_1 が選択される時(該当の面素電極 $P_{1,1}$ に階調電圧を書き込む時)は正極性の電圧に駆動され、信号線 X_1 上に充電電流が流れる。しかし、第2行のゲート線 Y_2 が選択される時(該当の面素電極 $P_{2,1}$ に階調電圧を書き込む時)は信号線 X_1 が負極性の電圧に駆動され、信号線 X_1 上で放電電流が流れる。そして、第3行のゲート線 Y_3 が選択される時(該当の面素電極 $P_{3,1}$ に階調電圧を書き込む時)は信号線 X_1 が正極性の電圧に駆動され、信号線 X_1 上で充電電流が流れる。

【0150】こうして、図16に模式的に(階調度が高い値で一定の場合)示すように、信号線 X_1 上で1ライン(1水平走査期間)毎に電圧が正極と負極の間で交互に反転し、極性反転に伴って充電または放電電流が流れる。他の信号線 X_2, X_3, \dots 上でも、1ライン毎に上記と同様な電圧極性反転と充電電流が繰り返される。

【0160】このように、各信号線 X_j を1ライン毎に充電または放電しながら交互に正極と負極に駆動しなければならぬため、信号線ドライバ S_j の負担が大きいうえ、電力を多量に消費していた。

【0170】本発明は、かかる従来技術の問題点に鑑みてなされたもので、消費電力を大幅に低減してドット反転駆動を行えるようにした液晶表示装置を提供することを目的とする。

【0180】

【課題を解決するための手段】上記の目的を達成するため、本発明の液晶表示装置は、マトリクス状に配置された複数の面素電極と1つの対向電極との間に液晶が充填され、各列において奇数番目の面素電極はそれと対応する薄膜トランジスタを介して第1の信号線に電気的に接続されるとともに偶数番目の面素電極はそれと対応する

薄膜トランジスタを介して第2の信号線に電気的に接続され、各行において全ての前記薄膜トランジスタの制御端子が共通のゲート線に電気的に接続されている液晶パネルと、前記対向電極に一定の対向電極電圧を印加する手段と、前記ゲート線を線順次走査で各行毎に活性化するゲート線駆動手段と、各フレーム走査において奇数行の前記ゲート線が活性化されるときは各列の該当する画素電極に対して所望の表示階調に対応した電圧レベルを有し、かつ前記対向電極電圧に対して相対的の一方の極性を有する階調電圧を前記第1の信号線を介して印加し、偶数行の前記ゲート線が活性化されるときは各列の該当する画素電極に対して所望の表示階調に対応した電圧レベルを有し、かつ前記対向電極電圧に対して相対的に他方の極性を有する階調電圧を前記第2の信号線を介して印加する信号線駆動手段と、前記信号線駆動手段より前記第1および第2の信号線に出力される階調電圧の極性をフレーム毎に交互に反転させる極性切換手段とを有する構成とした。

【0190】本発明の液晶表示装置の一つの実施態様として、隣接する2つの列の画素電極において一方の列に対する前記第1の信号線と他方の列に対する前記第2の信号線が共用される。

【0200】本発明の液晶表示装置の別の実施態様として、相隣接する各一対の列の画素電極に対して専用の前記第1および第2の信号線が設けられる。

【0210】本発明の液晶表示装置の他の実施態様として、前記信号線駆動手段は各列の画素電極に対応するチャンネル駆動部を有し、各列のチャンネル駆動部は1水平走査期間毎に正極性の階調電圧と負極性の階調電圧を出力し、かつ1水平走査期間毎に前記第1の信号線と前記第2の信号線とに交互に切り換えに接続される。

【0220】また、本発明の液晶表示装置の他の実施態様として、前記信号線駆動手段は各信号線に1対1の関係で接続されるチャンネル駆動部を有し、各チャンネル駆動部は各行の前記ゲート線が活性化される度に正極性の階調電圧を出力する第1の出力モードと各行の前記ゲート線が活性化される度に負極性の階調電圧を出力する第2の出力モードとを1フレーム毎に交互に切り換える。

【0230】また、本発明の液晶パネルは、マトリクス状に配置された複数の画素電極と1つの対向電極との間に液晶が充填され、各列において奇数番目の画素電極はそれと対応する薄膜トランジスタを介して第1の信号線に電気的に接続されるとともに偶数番目の画素電極はそれと対応する薄膜トランジスタを介して第2の信号線に電気的に接続され、各行において全ての前記薄膜トランジスタの制御端子が共通のゲート線に電気的に接続されている構成を有する。

【0240】

【発明の実施の態様】以下、図1～図10を参照して本

発明の実施例を説明する。

【0250】図1に、本発明の一実施例によるTFT液晶パネルの回路構成を示す。この液晶パネル10は、個々の画素については図12に示したものと基本的には同様の構造を有しており、各行における画素電極 $P1,1$ 、 $P1,2$ 、 $P1,3$ ……とゲート線との電気的な接続関係についても従来のパネル構造（図3）と同じであるが、各列における画素電極 $P1,j$ 、 $P2,j$ 、 $P3,j$ ……と信号線 X との電気的接続関係が従来パネルとは異なる。

【0260】すなわち、各列の画素電極 $P1,j$ 、 $P2,j$ 、 $P3,j$ ……に左右一対の信号線 Xj 、 $Xj+1$ が割り当てられ、奇数番目の画素電極 $P1,j$ 、 $P3,j$ 、 $P5,j$ ……はそれぞれ対応する薄膜トランジスタ $TFT1,j$ 、 $TFT3,j$ 、 $TFT5,j$ ……を介して左側（第1）の信号線 Xj に電気的に接続され、偶数番目の画素電極 $P2,j$ 、 $P4,j$ 、 $P6,j$ ……はそれぞれ対応する薄膜トランジスタ $TFT2,j$ 、 $TFT4,j$ 、 $TFT6,j$ ……を介して右側（第2）の信号線 $Xj+1$ に電気的に接続される。

【0270】なお、各列において、奇数番目（パネル全体では奇数行）の各画素では各薄膜トランジスタ $TFT1,j$ 、 $TFT3,j$ 、 $TFT5,j$ ……が左側（第1）の信号線 Xj に寄って配置されるのに対して、偶数番目（パネル全体では偶数行）の各画素では各薄膜トランジスタ $TFT2,j$ 、 $TFT4,j$ 、 $TFT6,j$ ……が右側（第2）の信号線 $Xj+1$ に寄って配置される。

【0280】この液晶パネル10では、画素列の数（ X 方向のドット数）を n とする、 $(n+1)$ 本の信号線 $X1 \sim Xn+1$ が設けられる。この中、左端の信号線 $X1$ は第1列の奇数番目の画素電極 $P1,1$ 、 $P3,1$ 、 $P5,1$ ……にだけ電気的に接続され、右端の信号線 $Xn+1$ は第 n 列の偶数番目の画素電極 $P2,n$ 、 $P4,n$ 、 $P6,n$ ……にだけ電気的に接続される。中間の各信号線 Xj （ $X2 \sim Xn$ ）は、その左隣の列の中の偶数番目の画素電極 $P2,j-1$ 、 $P4,j-1$ 、 $P6,j-1$ ……に右側（第2）の信号線として電気的に接続されるとともに、その右隣の列の奇数番目の画素電極 $P1,j$ 、 $P3,j$ 、 $P5,j$ ……には左側（第1）の信号線として電気的に接続される。

【0290】この液晶パネル10をコモン一定駆動法で駆動するとき、対向電極12には一定値たとえば5ボルトの対向電極電圧 V_{COM} が印加される。

【0300】図2に、本発明の一実施例によるTFT-LCDの要部の構成を示す。このTFT-LCDは上記構成の液晶パネル10を使用する。ゲート線ドライバGは、従来通りのものでよく、コントローラ（図示せず）の制御の下で1フレーム期間内に液晶パネル10のゲート線 $Y1, Y2, …$ を線順次走査で1行ずつ選択して活性化する。

【0310】このTFT-LCDの信号線ドライバSにおいて、液晶パネル10の各列（チャンネル）に割り当

てられたチャンネル駆動部CRjの出力端子は、一対（左右）の切換スイッチSWja, SWjbを介して液晶パネル10内の各対応する列の画素電極P1,j, P2,j, …に割り当てられている一対（左右）の信号線Xj, Xj+1に電気的に接続される。データレジスタ部GRは、1ライン毎に画像信号処理部（図示せず）からの各列の該当画素の表示階調を指示する画像データDX1, DX2, …を各チャンネル駆動部CR1, CR2, …に分配する。

【0320】各列の切換スイッチ[SWja, SWjb]は、コントローラの制御の下で1ライン（水平走査期間）毎に実線で示す第1（左側）の位置と点線で示す第2（右側）の位置とに交互に切り換わるように構成されている。各スイッチが第1（左側）の位置に切り変わったときは、左側のスイッチSWjaによって当該チャンネル駆動部CRjの出力端子が左側の信号線Xjに接続される。そして、第2（右側）の位置に切り変わったときは、右側のスイッチSWjbによって当該チャンネル駆動部CRjの出力端子が右側の信号線Xj+1に接続される。

【0330】図3に、1チャンネル分のチャンネル駆動部CRjの回路構成を示す。レジスタ14jは、データレジスタ部GRから各対応するチャンネルに割り当てられた1画素分の画像データDXjを取り込む。そして、水平同期信号に同期したコントローラからのデータ・ラッチ信号TPIに応じてデータラッチ回路16jがその1画素分の画像データDXjをラッチする。

【0340】データラッチ回路16jの出力端子は、レベルシフト18jを介してDAコンバータ20jの入力端子に接続されている。レベルシフト18jは、DAコンバータ20j内の回路素子がコモン定駆動法による正極性と負極性の双方にわたる階調電圧を扱えるように、画像データの論理電圧（たとえば5ボルト）を高い電圧（たとえば10ボルト）に変換する。

【0350】DAコンバータ20jには、階調電圧発生回路24より正極性の全て（K個）の階調電圧V1~VKと負極性の全て（K個）の階調電圧V'1~V'Kが供給される。階調電圧発生回路24は、たとえば抵抗分圧回路からなり、液晶パネル10のV-T特性にしたがって各表示階調に対応した電圧レベルを有する各階調電圧が得られるように適当な箇所の接続点（ノード）に補正用の基準電圧Vが供給されている。

【0360】たとえば、コモン定駆動法において、対向電極の電圧V00Mを5ボルトに固定し、各画素電極に正極性の最大階調電圧V'K（5~10ボルト）および負極性の階調電圧（5~0ボルト）を交互に印加する場合、正極性の最大階調電圧VKは10ボルトに最も近い値に設定され、負極性の最大階調電圧V'Kは0ボルトに最も近い値に設定され、両極性の最小階調電圧V1, V'1は5ボルト付近に設定される。

【0370】また、DAコンバータ20jには、コント

ローラより1ライン（水平走査期間）毎に階調電圧の極性を反転させるための交流化信号または反転制御信号RVが与えられる。この反転制御信号RVは、奇数番目のチャンネル駆動部CR1, CR3, …と偶数番目のチャンネル駆動部CR2, CR4, …とで論理値を逆に与えられる。

【0380】DAコンバータ20jは、レベルシフト18jより入力した1画素分の画像データDXjをデコードし、その画像データの表す表示階調に対応した電圧レベルを有する階調電圧Vx, V'xを先ず選択し、次いで反転制御信号RVの論理値に応じて階調電圧Vx, V'xのいずれか片方を出力するように構成されている。たとえば、RVがHレベルのときは正極性の階調電圧Vxを出し、RVがLレベルのときは負極性の階調電圧V'xを出力する。

【0390】このように、DAコンバータ20jは実質的にはデコード回路であるが、デジタルデータをアナログ電圧に変換するという意味で、DAコンバータとしている。

【0400】出力アンプ22jは、インピーダンス変換機能を有する演算増幅器の電圧フォロアからなり、正極性電圧に対してはシンク状態で動作し、負極性電圧に対してはソース状態で動作するように構成されている。

【0410】この実施例の信号線ドライバSでは、完全ドット反転駆動を行うため、上記したようなコントローラからの反転制御信号RVの制御により、奇数番目（列）のチャンネル駆動部CR1, CR3, …が正極性の階調電圧を出し、かつ偶数番目（列）のチャンネル駆動部CR2, CR4, …が負極性の階調電圧を出力する第1の出力モードと、奇数番目（列）のチャンネル駆動部CR1, CR3, …が負極性の階調電圧を出し、かつ偶数番目（列）のチャンネル駆動部CR2, CR4, …が正極性の階調電圧を出力する第2の出力モードとが1水平走査期間毎に交互に繰り返されるようになっている。

【0420】次に、このTFT-LCDの動作を説明する。

【0430】まず、第1行のゲート線Y1が活性化されるときは、各列の切換スイッチ[SW1a, SW1b], [SW2a, SW2b], …が図2の実線で示す第1（左側）の位置に切り換わり、各チャンネル駆動部CRjの出力端子は各列の左側の切換スイッチSWjaを介して各列の左側の信号線Xjに接続される。また、反転制御信号RVの制御により、一方のモードたとえば第1のモードが選択される。

【0440】これにより、奇数番目の各チャンネル駆動部CR1, CR3, …からの正極性の階調電圧は、各対応する列において左側スイッチSW1a, SW3a, …を介して左側信号線X1, X3, …に供給され、各信号線X1, X3, …からオン状態の第1行の各対応する薄膜トランジスタT1,1, T1,3, …を介して該当画素電極P1,1, P

1, 3 …に印加される。

【0450】一方、偶数番目の各チャンネル駆動部CR2, CR4 …からの負極性の階調電圧は、各対応する列において左側スイッチSW2a, SW4a…を介して左側信号線X2, X4 …に供給され、各信号線X2, X4 …からオン状態の第1行の各対応する薄膜トランジスタTF T1, 2, …TF T1, 4 …を介して該当画素電極P1, 2, …P1, 4…に印加される。

【0460】このようにして、第1行では、奇数番目(列)の画素電極P1, 1, …P1, 3…に正極性の階調電圧が書き込まれ、偶数番目(列)の画素電極P1, 2, …P1, 4…に負極性の階調電圧が書き込まれる。

【0470】次に、第2行のゲート線Y2が活性化されるときは、各列の切替スイッチ[SW1a, SW1b], [SW2a, SW2b], ……が図2の点線で示す第2(右側)の位置に切り換わり、各チャンネル駆動部CRjの出力端子は各列の右側の切替スイッチSW1bを介して各列の右側の信号線Xj+1に接続される。また、反転制御信号RVの制御によって、今度は第2のモードが選択される。

【0480】これにより、奇数番目の各チャンネル駆動部CR1, CR3 …からの負極性の階調電圧は、各対応する列において右側スイッチSW1b, SW3b…を介して右側信号線X2, X4 …に供給され、各信号線X2, X4 …からオン状態の第1行の各対応する薄膜トランジスタTF T2, 1, …TF T2, 3 …を介して該当画素電極P2, 1, …P2, 3…に書き込まれる。

【0490】一方、偶数番目の各チャンネル駆動部CR2, CR4 …からの正極性の階調電圧は、各対応する列において右側スイッチSW2b, SW4b…を介して右側信号線X3, X5 …に供給され、各信号線X3, X5 …からオン状態の第2行の各対応する薄膜トランジスタTF T2, 2, …TF T2, 4 …を介して該当画素電極P2, 2, …P2, 4…に書き込まれる。

【0500】こうして、第2行では、奇数列の画素電極P2, 1, …P2, 3…に負極性の階調電圧が書き込まれ、偶数列の画素電極P2, 2, …P2, 4…に正極性の階調電圧が書き込まれる。

【0510】次に、第3行のゲート線Y3が活性化されるときは、第1行のときと同様に、各列の切替スイッチ[SW1a, SW1b], [SW2a, SW2b], ……が図2の実線で示す第1(左側)の位置に切り換わり、各チャンネル駆動部CRjの出力端子は各列の左側の切替スイッチSW1aを介して各列の左側の信号線Xjに接続される。また、反転制御信号RVの制御によって第1のモードが選択される。

【0520】したがって、第3行では、奇数番目の画素電極P3, 1, …P3, 3…に正極性の階調電圧が書き込まれ、偶数列の画素電極P3, 2, …P3, 4…に負極性の階調電圧が書き込まれる。

【0530】以下、第4行以降でも、奇数行が偶数行かに応じて上記したような第1行または第2行同様の動作が繰り返される。こうして、X方向およびY方向でドット反転駆動が行われる。

【0540】上記のようなフレーム走査の間中、各信号線X1, X2, X3 …は常に正極または負極のいずれか一方の極性の電圧で駆動される。たとえば、左端の信号線X1は第1のチャンネル駆動部CR1により常に正極性の電圧で駆動され、負極性の電圧で駆動されることはない。また、その隣の信号線X2は、第1および第2のチャンネル駆動部CR1, CR2に交互に接続されつつも、常に負極性の電圧で駆動され、正極性の電圧で駆動されることはない。

【0550】次のフレーム走査においては、反転制御信号RVの制御により、奇数行の水平走査期間で第2の出力モードが選択され、偶数行の水平走査期間で第1の出力モードが選択される点を除いて、上記と同様の動作が行われる。したがって、各画素の画素電極に書き込まれる階調電圧の極性が反転する。

【0560】この場合、各信号線X1, X2, X3 …は、前フレームとは逆極性で、常に正極または負極のいずれか一方の極性の電圧で駆動される。たとえば、左端の信号線X1は第1のチャンネル駆動部CR1により常に負極性の電圧で駆動される。また2番目の信号線X2は、第1および第2のチャンネル駆動部CR1, CR2に交互に接続されつつも、常に正極性の電圧で駆動され、負極性の電圧で駆動されることはない。

【0570】これにより、図4に模式的に(階調度が高い値で一定の場合)示すように、各信号線X上ではフレーム切替時に相当の充電または放電電流が一時的に流れるだけで、フレーム走査期間中は電圧が同一の極性に維持されるため、問題になる程の充放電電流は流れない。

【0580】各チャンネル駆動部CRjからすると、1ライン毎に正極性電圧と負極性電圧を交互に出力するのであるが、正極性電圧についてはフレーム走査期間を通じて正極専用の信号線(たとえばXj)に給電し、負極性電圧についてはフレーム走査期間を通じて負極専用の信号線(Xj+1)に給電するので、従来のように1ライン毎に正極と負極の間で信号線電圧を反転またはスウィングさせる必要がない。

【0590】したがって、各チャンネル駆動部CRjにおいて、特に出力アンプ22jにおいて、回路規模の小量化が可能であるうえ、消費電力を大幅に低減することが可能となる。

【0600】図5に、本発明の第2の実施例によるTF T-LCDの構成を示す。この第2の実施例は、上記第1実施例において信号線ドライバSを変形したものである。すなわち、この実施例では、チャンネル駆動部CRを1つ増やして、液晶パネル10の信号線X1 ~ Xn+1に1対1でチャンネル駆動部CR1 ~ CRn+1の出力端

子を直接接続することにより、切換スイッチSWを省いている。

【0610】この実施例において、信号線ドライバSのデータレジスタ部GRの前段にはデータシフト回路26が設けられる。このデータシフト回路26は、図6に示すように、画像信号処理部（図示せず）より1ライン毎に与えられる n 個（ n 列分）の階調データ $Dx1 \sim Dx n$ を、奇数ラインでは第1～第 n のチャンネル駆動部 $C R1 \sim C R n$ に振り分け、偶数ラインでは第2～第 $(n+1)$ のチャンネル駆動部 $C R2 \sim C R n+1$ に振り分けるように、データ操作を行う。

【0620】図6において、水平帰線期間に数クロック分のデータ無効期間 $DM*$ が挿入されている。データシフト回路26は、このデータ無効期間 $DM*$ の長さを遅延機能で可変制御することにより、奇数ラインでは階調データ $Dx1 \sim Dx n$ をスルーで出力し、偶数ラインでは階調データを $Dx1 \sim Dx n$ を所定クロック数だけシフト（遅延）して出力する。

【0630】再び図5において、この実施例では、フレーム走査期間を通じて各チャンネル駆動部 $C R$ は正極性または負極性のいずれか一方の極性で階調電圧を出力する。より詳細には、奇数番目のチャンネル駆動部 $C R1, C R3 \dots$ が正極性の階調電圧を出力し続け、かつ偶数番目のチャンネル駆動部 $C R2, C R4 \dots$ が負極性の階調電圧を出力し続ける第1の出力モードと、奇数番目のチャンネル駆動部 $C R1, C R3 \dots$ が負極性の階調電圧を出力し続け、かつ偶数番目のチャンネル駆動部 $C R2, C R4 \dots$ が正極性の階調電圧を出力し続ける第2の出力モードとがフレーム毎に交互に切り換えられる。このために、コントローラより各チャンネル駆動部 $C R$ のDコンパータに与えられる反転制御信号 $R V$ は、1フレーム毎に論理値を反転するように制御される。

【0640】次に、この第2の実施例における動作を説明する。

【0650】先ず、第1行のゲート線 $Y1$ が活性化されるときは、上記したようにデータシフト回路26の制御により1行分の階調データ $Dx1 \sim Dx n$ が第1～第 n のチャンネル駆動部 $C R1 \sim C R n$ に分配される。この時、右端つまり第 $(n+1)$ のチャンネル駆動部 $C R n+1$ には何の階調データとも与えられない。なお、当該フレーム走査期間では上記第1の出力モードが選択されているものとする。

【0660】したがって、各奇数番目の階調データ $Dx1, Dx3 \dots$ に対応して各奇数番目のチャンネル駆動部 $C R1, C R3 \dots$ より出力された正極性の階調電圧は各対応する信号線 $X1, X3 \dots$ に供給され、各信号線 $X1, X3 \dots$ からオン状態の第1行の各対応する薄膜トランジスタ $T F T1,1, T F T1,3 \dots$ を介して該当画素電極 $P1,1, P1,3 \dots$ に印加される。

【0670】一方、各偶数番目の階調データ $Dx2, Dx$

4…に対応して各偶数番目のチャンネル駆動部 $C R2, C R4 \dots$ より出力された負極性の階調電圧は各対応する信号線 $X2, X4 \dots$ に供給され、各信号線 $X2, X4 \dots$ からオン状態の第1行の各対応する薄膜トランジスタ $T F T1,2, T F T1,4 \dots$ を介して該当画素電極 $P1,2, P1,4 \dots$ に印加される。

【0680】このようにして、第1行では、奇数番目（列）の画素電極 $P1,1, P1,3 \dots$ に正極性の階調電圧が書き込まれ、偶数番目（列）の画素電極 $P1,2, P1,4 \dots$ に負極性の階調電圧が書き込まれる。

【0690】次に、第2行のゲート線 $Y2$ が活性化されるときは、上記したようなデータシフト回路26の制御により1行分の階調データ $Dx1 \sim Dx n$ が第2～第 $(n+1)$ のチャンネル駆動部 $C R2 \sim C R n+1$ に分配される。このときは、左端つまり第1のチャンネル駆動部 $C R1$ に有意な階調データが与えられない。

【0700】この場合、各偶数番目のチャンネル駆動部 $C R2, C R4 \dots$ は、1つ手前の列の奇数番目の階調データ $Dx1, Dx3 \dots$ に対応した電圧レベルを有する負極性の階調電圧を出力する。そして、この負極性の階調電圧が各対応する信号線 $X2, X4 \dots$ に供給され、各信号線 $X2, X4 \dots$ からオン状態の第2行の各対応する薄膜トランジスタ $T F T2,1, T F T2,3 \dots$ を介して該当画素電極 $P2,1, P2,3 \dots$ に印加される。

【0710】一方、3番目以降の各奇数番目のチャンネル駆動部 $C R3, C R5 \dots$ は、1つ手前の列の偶数番目の階調データ $Dx2, Dx4 \dots$ に対応した電圧レベルを有する正極性の階調電圧を出力する。そして、この正極性の階調電圧が各対応する信号線 $X3, X5 \dots$ に供給され、各信号線 $X3, X5 \dots$ からオン状態の第2行の各対応する薄膜トランジスタ $T F T2,2, T F T2,4 \dots$ を介して該当画素電極 $P2,2, P2,4 \dots$ に印加される。

【0720】この結果、第2行では、奇数番目（列）の画素電極 $P2,1, P2,3 \dots$ に負極性の階調電圧が書き込まれ、偶数番目（列）の画素電極 $P2,2, P2,4 \dots$ に正極性の階調電圧が書き込まれる。

【0730】以下、第3行以降でも、奇数行が偶数行かに応じて上記したような第1行または第2行と同様の動作が繰り返される。そして、次のフレームでは、上記第2の出力モードが選択され、奇数番目のチャンネル駆動部 $C R1, C R3 \dots$ が負極性の階調電圧を出力し、偶数番目のチャンネル駆動部 $C R2, C R4 \dots$ が正極性の階調電圧を出力する。これによって、完全ドット反転が実現される。

【0740】この実施例でも、上記した第1の実施例と同様に、フレーム走査の期間中は各信号線 $X1, X2, X3 \dots$ が常に正極性または負極性のいずれか一方の極性の電圧で駆動され、極性反転時のような充放電電流は流れない。したがって、信号線ドライバSの負担は軽く、消費電力も少なくて済む。

【0750】なお、データシフト回路26またはそれに相当する機能を画像信号処理部またはコントローラ側に内蔵させることも可能である。

【0760】図7～図8に、本発明における液晶パネル内の回路構成、特に信号線Xの配線構造の別の実施例を示す。

【0770】上記した図1の液晶パネル10では、両端の信号線X1, Xn+1を除き、各信号線Xjがこの信号線を挟んで相隣接する2つの列の画素電極[Pj-1,1, Pj-1,2, Pj-1,3…], [Pj,1, Pj,2, Pj,3…]に対して左側(第1)の信号線と右側(第2)の信号線とを兼ねていた。

【0780】これに対して、図7～図8のパネル構成では、[第1, 2列]の画素電極[P1,1, P2,1, P3,1…], [第2, 3列]の画素電極[P2,2, P3,2, P4,2…]には一対の信号線X1, X2をそれぞれ第1および第2の信号線として割り当て、[第3, 4列]の画素電極[P1,3, P2,3, P3,3…], [第4, 5列]の画素電極[P2,4, P3,4, P4,4…]には一対の信号線X3, X4をそれぞれ第1および第2の信号線として割り当てている。つまり、相隣接する一対の列[第1, 2列], [第3, 4列], [第5, 6列]…毎に専用の第1および第2の信号線を割り当てている。

【0790】各一対の列たとえば[第1, 2列]において、第1の信号線X1は奇数行では第1列側の画素電極P1,1, P3,1…に電氣的に接続され偶数行では第2列側の画素電極P2,2, P4,2…に電氣的に接続されるのに対し、第2の信号線X2は奇数行では第2列側の画素電極P1,2, P3,2…に電氣的に接続され、偶数行では第1列側の画素電極P2,1, P4,1…に電氣的に接続される。

【0800】図7のパネル構成では、各信号線X1, X2, X3…が図1のパネル構成と同様にX方向に等間隔でY方向に直線的に配線される。しかし、偶数行において、奇数番目(列)の薄膜トランジスタTFT2,1, TFT2,3…が例外的に右寄り(第2の信号線寄り)に形成されるとともに、偶数番目(列)の薄膜トランジスタTFT2,2, TFT2,4…が隣の画素を跨ぐような配線を介して第1の信号線に接続される。

【0810】図8のパネル構成は、第1および第2の信号線[X1, X2], [X3, X4]…の両側に各一対の列[第1, 2列], [第3, 4列]…の画素を配置する。この構成によれば、比較的短い距離の配線で各信号線Xと各薄膜トランジスタTFTとを電氣的に接続することができ。

【0820】図9のパネル構成では、各画素の構造を同一パターンとし、代わりに各信号線X1, X2, X3…を各対応する画素電極と所要の電氣的接続を得るよう一対の列の間にジグザグ状に配線している。

【0830】図10に、図7～図9に示すような構造の液晶パネル10'に適應する信号線ドライバS'の構成

例を示す。

【0840】この信号線ドライバS'では、液晶パネル10の信号線X1～Xn+1に1対1でチャンネル駆動部CR1～CRn+1の出力端子が直接接続される。各チャンネル駆動部CRは基本的には図3と同様の回路構成を有してよい。

【0850】ただし、各一対の列において、データラッチ回路16とレベルシフト回路18との間に4個の切換スイッチa, b, c, dが図示のような接続関係で設けられる。たとえば[第1, 2列]においては、第1列のデータラッチ回路16(1)と第1列および第2列のレベルシフト回路18(1), 18(2)との間に切換スイッチa, cが設けられ、第2列のデータラッチ回路16(1)と第1列および第2列のレベルシフト回路18(1), 18(2)との間に切換スイッチb, dが設けられる。

【0860】この信号線ドライバS'でも、図5の構成例と同様に、奇数番目のチャンネル駆動部CR1, CR3…が正極性の階調電圧を出力し続け、かつ偶数番目のチャンネル駆動部CR2, CR4…が負極性の階調電圧を出力し続ける第1の出力モードと、奇数番目のチャンネル駆動部CR1, CR3…が負極性の階調電圧を出力し続け、かつ偶数番目のチャンネル駆動部CR2, CR4…が正極性の階調電圧を出力し続ける第2の出力モードとが1フレーム毎に交互に切り換えられる。

【0870】たとえば第1の出力モードによるフレーム走査では、次のような動作が行われる。

【0880】奇数行のラインが選択されるときは、スイッチa, dが閉じてスイッチb, cが遮断状態となる。これにより、たとえば[第1, 2列]においては、第1列のデータラッチ回路16(1)からの第1列分の階調データDX1がスイッチaを介して第1列のレベルシフト回路18(1)に入力されるとともに、第2列のデータラッチ回路16(2)からの第2列分の階調データDX2がスイッチdを介して第2列のレベルシフト回路18(2)に入力される。

【0890】したがって、第1列のDAコンバータ20(1)でない出力アンプ22(1)より第1列分の階調データDX1に対応した正極性の階調電圧が出力される。この正極性の階調電圧は信号線X1に供給され、この信号線X1上で唯一オン状態の薄膜トランジスタを介して第1列中の該当の画素電極に印加される。また、第2列のDAコンバータ20(2)でない出力アンプ22(2)より負極性の階調電圧が信号線X2上に出力され、この信号線X2上で唯一オン状態の薄膜トランジスタを介して第2列中の該当の画素電極に印加される。

【0900】そして、偶数行のラインが選択されるときは、スイッチb, cが閉じてスイッチa, dが遮断状態となる。これにより、たとえば[第1, 2列]においては、第1列のデータラッチ回路16(1)からの第1列分の階調データDX1がスイッチcを介して第2列のレベ

ルシフタ 18 (2) に入力されるとともに、第 2 列のデータラッチ回路 16 (2) からの第 2 列分の階調データ D X 2 がスイッチ b を介して第 1 列のレベシフタ 18 (1) に入力される。

【0910】したがって、第 1 列の DA コンバータ 20 (1) ないし出力アンプ 22 (1) より第 2 列分の階調データ D X 2 に対応した正極性の階調電圧が出力される。この正極性の階調電圧は、信号線 X1 に供給され、この信号線 X1 上で唯一オン状態になっている薄膜トランジスタを介して第 2 列中の該当の画素電極に印加される。一方、第 2 列の DA コンバータ 20 (2) ないし出力アンプ 22 (2) からは負極性の階調電圧が信号線 X2 に供給され、この信号線 X2 上で唯一オン状態になっている薄膜トランジスタを介して第 1 列中の該当の画素電極に印加される。

【0920】他の一対の列 [第 3、4 列]、…でも上記と同様の動作が行われる。これによって、完全ドット反転が実現される。

【0930】この実施例でも、フレーム走査の期間中は各信号線 X1、X2、X3 … が常に正極または負極のいずれかが片方の極性の電圧で駆動されるため、極性反転に伴う充放電電流を流さなくて済む。したがって、信号線ドライバの負担を軽減し、消費電力を大幅に節約することができる。

【0940】本実施例の TFT-LCD では、各画素に交流電圧を印加するため、つまり交流化のために、1 フレーム毎に各信号線 X1、X2、X3 … の電圧の極性を反転させるようにしている。このため、各フレーム期間の開始時に各信号線 X1、X2、X3 … 上で極性反転に伴う充電または放電電流が一時的に流れる。かかるフレーム開始時の極性反転を第 1 行の書き込み時に行っても構わないが、第 1 行から良好な表示品質を得るために、第 1 行のライン走査の直前に (垂直帰線期間中に) 信号線ドライバにより各信号線 X1、X2、X3 … の電圧の極性を反転させておくことも可能である。

【0950】なお、上記した実施例における液晶パネル 10 (10') 内の回路構成および配線パターンは一例であり、本発明の技術思想の範囲内で種々の変形が可能である。上記した信号線ドライバ (S') の回路構成も一例であり、種々の回路構成に変形可能である。

【0960】

【発明の効果】本発明の液晶パネルは、m 行 n 列のマトリクス状に配置される各画素 P[i,j] が、i 行ではそれぞれ信号線 X1 ~ Xn に接続され、(i+1) 行ではそれぞれ信号線 X2 ~ Xn+1 に接続されるように構成されており、フレーム走査の期間中は各信号線が常に正極または

負極のいずれかが片方の極性の電圧で駆動されるため、極性反転に伴う充放電電流を流さなくて済み、信号線ドライバの負担を軽減し、液晶表示装置の消費電力を大幅に節約することができる。

【図面の簡単な説明】

【図 1】本発明の一実施例による TFT 液晶パネルの回路構成を示す回路図である。

【図 2】実施例における TFT-LCD の要部の構成を示すブロック図である。

【図 3】実施例における信号線ドライバの 1 チャンネル分の駆動部の回路構成を示すブロック図である。

【図 4】実施例における各信号線上的電圧および電流を模式的に示す波形図である。

【図 5】第 2 の実施例における TFT-LCD の要部の構成を示すブロック図である。

【図 6】第 2 の実施例におけるチャンネル駆動部への階調データの割り振り制御を示す図である。

【図 7】別の実施例による TFT 液晶パネル内の配線構造を模式的に示す図である。

【図 8】他の実施例による TFT 液晶パネル内の配線構造を模式的に示す図である。

【図 9】他の実施例による TFT 液晶パネル内の配線構造を模式的に示す図である。

【図 10】図 7 ~ 図 9 の液晶パネル構造に適合可能な信号線ドライバの構成例を示すブロック図である。

【図 11】アクティブマトリクス方式のフルカラー TFT-LCD の代表的な構成を模式的に示すブロック図である。

【図 12】TFT-LCD の液晶パネルの典型的な構成を示す部分断面図である。

【図 13】従来の TFT-LCD の液晶パネル内の回路構成を示す回路図である。

【図 14】コモン一定駆動法による画素電極電圧および対向電極電圧の電圧波形を示す図である。

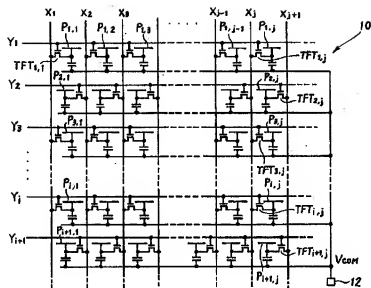
【図 15】TFT-LCD における完全ドット反転のパターンを示す図である。

【図 16】従来の TFT-LCD における各信号線上の電圧および電流を模式的に示す波形図である。

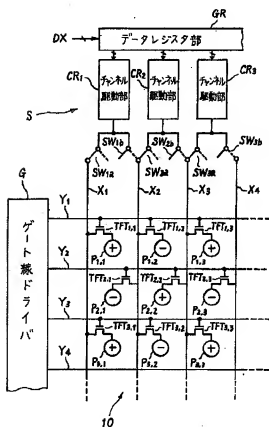
【符号の説明】

10、10' 液晶パネル
12 対向電極
S、S' 信号線ドライバ
G ゲート線ドライバ
CR1、CR2 … チャンネル駆動部
24 階調電圧発生回路
26 データシフト回路

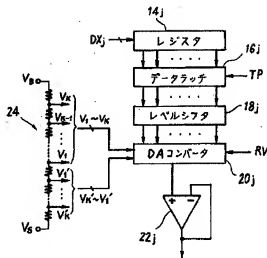
【図1】



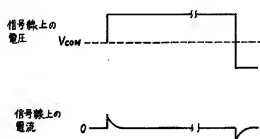
【図2】



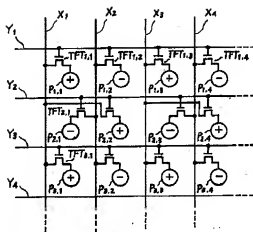
【図3】



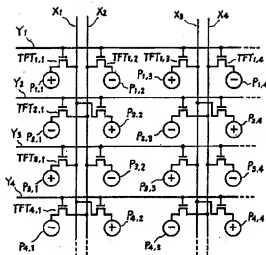
【図4】



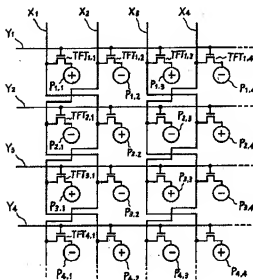
【図 7】



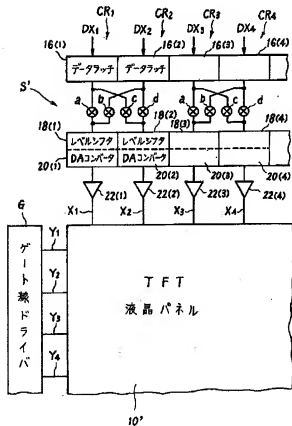
【図 8】



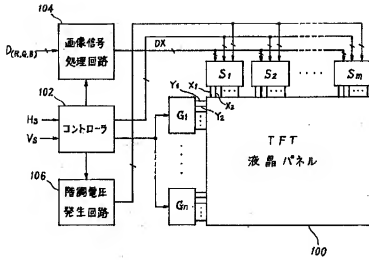
【図 9】



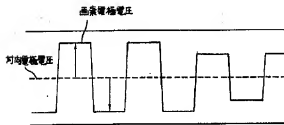
【図 10】



【図 1 1】



【図 1 4】



【図 1 6】

